

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **07-013191**

(43)Date of publication of application : **17.01.1995**

(51)Int.Cl.

G02F 1/136

(21)Application number : **05-178487**

(71)Applicant : **CASIO COMPUT CO LTD**

(22)Date of filing : **28.06.1993**

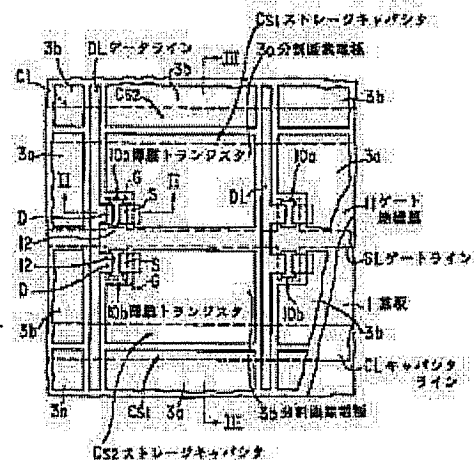
(72)Inventor : **KITAGAWA KATSUMI
OKIMOTO HIROYUKI**

(54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PURPOSE: To provide the active matrix liquid crystal which has an excellent contrast and a wide angle of visibility.

CONSTITUTION: A pixel electrode is divided into two and thin film transistors 10a and 10b which connect with the same gate line GL and the same data line DL are provided for the divided electrodes 3a and 3b respectively and connected to the divided electrodes 3a and 3b; and storage capacitors Cs1 and Cs2 are provided on the divided electrodes 3a and 3b and the total values of the capacity value of pixel capacitors consisting of the divided electrodes 3a and 3b, a counter electrode, and liquid crystal between them and the capacity values of the storage capacitors Cs1 and Cs2 are made different by the divided electrodes 3a and 3b.



【特許請求の範囲】

【請求項 1】 液晶層をはさんで対向する一対の透明基板の一方に、行方向および列方向に配列された複数の画素電極と、これら各画素電極にそれぞれ接続された複数の薄膜トランジスタと、各画素電極行にそれぞれ対応させて配線されその行の薄膜トランジスタにゲート信号を供給する複数のゲートラインと、各画素電極列にそれぞれ対応させて配線されその列の薄膜トランジスタにデータ信号を供給する複数のデータラインと、前記各画素電極にそれぞれ設けられたストレージキャパシタとを形成し、他方の基板に前記各画素電極と対向する対向電極を形成したアクティブマトリックス液晶表示素子において、

前記各画素電極はそれぞれ複数分割された複数の分割電極からなっており、その各分割電極ごとに、各々が同じゲートラインと同じデータラインにつながる薄膜トランジスタを設けて、これら薄膜トランジスタを前記各分割電極にそれぞれ接続するとともに、前記ストレージキャパシタを前記各分割電極ごとに設け、前記分割電極と前記対向電極およびその間の液晶とで構成される画素容量の容量値と、前記分割電極のストレージキャパシタの容量値とのトータルの値を、各分割電極ごとに異ならせたことを特徴とするアクティブマトリックス液晶表示素子。

【請求項 2】 各分割電極に対応する画素容量の容量値と、各分割電極に設けたストレージキャパシタの容量値とのうち、いずれか一方の容量値が各分割電極ごとに異なっており、他方の容量値はほぼ等しいことを特徴とする請求項 1 に記載のアクティブマトリックス液晶表示素子。

【請求項 3】 各分割電極に対応する画素容量の容量値と、各分割電極に設けたストレージキャパシタの容量値とは、その両方が各分割電極ごとに異なっていることを特徴とする請求項 1 に記載のアクティブマトリックス液晶表示素子。

【請求項 4】 画素電極は行方向に沿う分割線を境にして列方向に 2 分割された 2 つの分割電極からなっており、ゲートラインは 2 つの分割電極の間に配線され、データラインは両分割電極の一侧縁に沿わせて配線されるとともに、各分割電極にそれぞれ接続される 2 つの薄膜トランジスタは、前記ゲートラインと前記データラインとの交差部に、前記ゲートラインをはさんでその両側に設けられていることを特徴とする請求項 1 に記載のアクティブマトリックス液晶表示素子。

【請求項 5】 画素電極は列方向に沿う分割線を境にして行方向に 2 分割された 2 つの分割電極からなっており、ゲートラインは両分割電極の一侧縁に沿わせて配線され、データラインは 2 つの分割電極の間に配線されるとともに、各分割電極にそれぞれ接続される 2 つの薄膜トランジスタは、前記ゲートラインと前記データラインと

の交差部に、前記データラインをはさんでその両側に設けられていることを特徴とする請求項 1 に記載のアクティブマトリックス液晶表示素子。

【請求項 6】 各分割電極に設けられるストレージキャパシタは、基板上に前記分割電極の一部に対向させて形成したキャパシタラインと、このキャパシタラインを覆う絶縁膜と、この絶縁膜の上に形成された前記分割電極とで形成されていることを特徴とする請求項 1～5 のいずれか 1 つに記載のアクティブマトリックス液晶表示素子。

【請求項 7】 各分割電極に設けられるストレージキャパシタは、基板上に前記分割電極の一部に対向させて形成したキャパシタラインと、このキャパシタラインを覆う絶縁膜と、この絶縁膜の上に形成された前記分割電極とで形成されており、前記キャパシタラインは、隣合う画素電極行の行間部に配線され、その一侧が一方の行の画素電極の 1 つの分割電極に対向し、他側が他方の行の画素電極の 1 つの分割電極に対向していることを特徴とする請求項 4 に記載のアクティブマトリックス液晶表示素子。

【請求項 8】 各分割電極に設けられるストレージキャパシタは、隣の画素電極行に対応するゲートラインに形成されたキャパシタ用電極と、このキャパシタ用電極を覆う絶縁膜と、この絶縁膜の上に形成された前記分割電極とで形成されていることを特徴とする請求項 5 に記載のアクティブマトリックス液晶表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタを能動素子とするアクティブマトリックス液晶表示素子に関するものである。

【0002】

【従来の技術】 アクティブマトリックス液晶表示素子としては、一般に、画素電極にデータ信号を供給する能動素子に薄膜トランジスタを用いたものが利用されている。

【0003】 図 10 は薄膜トランジスタを能動素子とするアクティブマトリックス液晶表示素子の断面図である。この液晶表示素子は、液晶層をはさんで対向する一対の透明基板（ガラス基板等） 1、2 のうち、一方の基板 1 に、複数の画素電極（透明電極） 3 とこれら各画素電極 3 にデータ信号を供給する複数の薄膜トランジスタ 10 とを形成し、他方の基板 2 に前記一方の基板 1 の各画素電極 3 と対向する透明な対向電極 4 を形成したもので、両基板 1、2 は枠状のシール材 7 を介して接合されており、液晶 LC は両基板 1、2 間の前記シール材 7 で囲まれた領域に封入されている。

【0004】 なお、アクティブマトリックス液晶表示素子は、一般に TN 型とされており、液晶 LC の分子は、両基板 1、2 の電極形成面上に形成した配向膜 5、6 に

よって配向され、両基板 1, 2 間においてほぼ 90° のツイスト角でツイスト配列している。また、図示しないが、この液晶表示素子の両面にはそれぞれ偏光板が配置されている。

【0005】図 11 は従来のアクティブマトリックス液晶表示素子の一方の基板 1 の 1 つの画素部の平面図であり、画素電極 3 は行方向および列方向に配列され、薄膜トランジスタ 10 は各画素電極 3 にそれぞれ接続されている。また、この基板 1 上には、各画素電極行それぞれ対応させて、その行の薄膜トランジスタ 10 にゲート信号を供給する複数のゲートライン GL が形成されるとともに、各画素電極列にそれぞれ対応させて、その列の薄膜トランジスタ 10 にデータ信号を供給する複数のデータライン DL とが形成されている。

【0006】なお、上記ゲートライン GL は各画素電極行の一侧に沿わせて配線され、データライン DL は各画素電極列の一侧に沿わせて配線されており、上記薄膜トランジスタ 10 は、前記ゲートライン GL とデータライン DL との交差部にそれぞれ形成されている。

【0007】上記薄膜トランジスタ 10 は、一般に逆スタガー構造とされており、この薄膜トランジスタ 10 は、基板 1 上に形成されたゲート電極 G と、このゲート電極 G を覆うゲート絶縁膜 11 と、このゲート絶縁膜 11 の上に前記ゲート電極 G と対向させて形成された a-Si (アモルファス・シリコン) からなる i 型半導体膜 12 と、この i 型半導体膜 12 の上に不純物をドーパした a-Si からなる n 型半導体膜 (図示せず) を介して形成されたソース電極 S およびドレイン電極 D とで構成されている。なお、前記ゲート電極 G は基板 1 上に配線したゲートライン GL に一体に形成されている。

【0008】この薄膜トランジスタ 10 のゲート絶縁膜 11 は、基板 1 上に配列形成する全ての薄膜トランジスタ 10 に共用されており、このゲート絶縁膜 11 は、画素電極 3 および薄膜トランジスタ 10 の配列領域にその全域にわたって形成されている。なお、このゲート絶縁膜 11 は、SiN (窒化シリコン) 等からなる透明な絶縁膜とされている。

【0009】そして、画素電極 3 とデータライン DL は、上記ゲート絶縁膜 11 の上に形成されており、上記薄膜トランジスタ 10 のソース電極 S は画素電極 3 に接続され、ドレイン電極 D はデータライン DL につながっている。

【0010】なお、図 11 には、薄膜トランジスタ 10 のドレイン電極 D をデータライン DL に一体に形成した例を示したが、データライン DL は、薄膜トランジスタ 10 を図示しない層間絶縁膜で覆ってその上に配線されることもあり、その場合は、データライン DL を、前記層間絶縁膜に設けたコンタクト孔において薄膜トランジスタ 10 のドレイン電極 D に接続している。

【0011】上記アクティブマトリックス液晶表示素子

は、各行の画素の選択期間にその行の薄膜トランジスタ 10 にゲート信号を印加し、それに同期させて各列の薄膜トランジスタ 10 にデータ信号を印加して表示駆動されており、選択期間にゲート信号の印加によって薄膜トランジスタ 10 が ON すると、この薄膜トランジスタ 10 を介して画素電極 3 と対向電極 4 との間に前記データ信号に応じた電圧が印加され、その電荷が画素電極 3 と対向電極 4 およびその間の液晶 LC とで構成される画素容量に蓄積される。

【0012】そして、非選択期間になると、上記画素容量に蓄積された電荷が薄膜トランジスタ 10 の OFF によって画素容量に保持され、その電荷量に対応する電圧が画素容量の保持電圧となって、この画素容量の保持電圧に応じて液晶 LC が動作する。

【0013】しかし、この場合、薄膜トランジスタ 10 が OFF すると、画素電極 3 と対向電極 4 との間にデータ信号に応じて充電された電圧が、ゲート信号の電圧変化分のうち画素容量と薄膜トランジスタ 10 のゲート・ソース間容量 (ゲート電極 G とソース電極 S との間の容量) との容量比に応じた電圧だけ低下する。この電圧低下分は、ゲート・ソース間容量が画素容量に比べて大きいほど大きい。

【0014】このため、アクティブマトリックス液晶表示素子では、各画素電極 3 にそれぞれ、上記画素容量に保持される電圧の低下を補償するためのストレージキャパシタ Cs を設けて、画素電極 3 と対向電極 4 との間の保持電圧を十分に確保するようにしている。

【0015】図 11 において、CL は上記ストレージキャパシタ Cs を形成するために設けられたキャパシタラインであり、このキャパシタライン CL は、基板 1 上に、各画素電極行にそれぞれ対応させて配線されている。なお、このキャパシタライン CL は、ゲートライン GL と同じ金属膜で形成されており、ゲート絶縁膜 11 で覆われている。

【0016】そして、上記キャパシタライン CL は、画素電極 3 の一部 (ゲートライン GL を配線した側とは反対側の縁部) に対向させて形成されており、ストレージキャパシタ Cs は、前記キャパシタライン CL と、このキャパシタライン CL を覆うゲート絶縁膜 11 と、このゲート絶縁膜 11 の上に形成された画素電極 3 とで形成されている。なお、上記キャパシタライン CL を設けて形成されたストレージキャパシタ Cs は、一般に“付加容量”と呼ばれている。

【0017】図 12 は上記 1 つの画素部の等価回路図である。図 12 において、Cgs は薄膜トランジスタ 10 のゲート・ソース間容量、CLC は画素電極 3 と対向電極 4 とその間の液晶 LC とによって構成される画素容量であり、上記ストレージキャパシタ Cs は、前記画素容量 CLC に対して並列的に接続されている。

【0018】このストレージキャパシタ Cs を設けてお

けば、画素容量CLCとストレージキャパシタCsとを合成した容量が、薄膜トランジスタ10のゲート・ソース間容量Cgsより十分大きくなり、非選択期間になって薄膜トランジスタ10がOFFしたときの、ゲート信号の電圧変化に応じた画素容量CLCの電圧変化が小さくなる。したがって、ゲート信号が低電位に変化した後の非選択期間での画素容量CLCに保持される電圧（保持電圧）を高く維持することができるので、液晶LCを、選択期間に印加された電圧（データ信号に応じた電圧）に近い電圧で動作させることができる。

【0019】

【発明が解決しようとする課題】ところで、液晶表示素子としては、高コントラストでしかも広視野角のものが望まれるが、従来の液晶表示素子は、正面から見たときのコントラストが高くて広視野角が狭く、コントラストと視野角との両方を良くすることはできなかった。

【0020】本発明は、コントラストが良好で視野角も広いアクティブマトリックス液晶表示素子を提供することを目的としたものである。

【0021】

【課題を解決するための手段】本発明は、液晶層をはさんで対向する一対の透明基板の一方に、行方向および列方向に配列された複数の画素電極と、これら各画素電極にそれぞれ接続された複数の薄膜トランジスタと、各画素電極行にそれぞれ対応させて配線されその行の薄膜トランジスタにゲート信号を供給する複数のゲートラインと、各画素電極列にそれぞれ対応させて配線されその列の薄膜トランジスタにデータ信号を供給する複数のデータラインと、前記各画素電極にそれぞれ設けられたストレージキャパシタとを形成し、他方の基板に前記各画素電極と対向する対向電極を形成したアクティブマトリックス液晶表示素子において、前記各画素電極をそれぞれ複数の電極に分割し、その各分割電極ごとに、各々が同じゲートラインと同じデータラインにつながる薄膜トランジスタを設けて、これら薄膜トランジスタを前記各分割電極にそれぞれ接続するとともに、前記ストレージキャパシタを前記各分割電極ごとに設け、前記分割電極と前記対向電極およびその間の液晶とで構成される画素容量の容量値と、前記分割電極のストレージキャパシタの容量値とのトータルの値を、各分割電極ごとに異ならせたことを特徴とするものである。

【0022】なお、各分割電極に対応する画素容量の容量値と、各分割電極に設けたストレージキャパシタの容量値とは、そのトータルの値が各分割電極ごとに異なっていればよく、したがって、前記画素容量の容量値とストレージキャパシタの容量値とのうちいずれか一方の容量値が各分割電極ごとに異なっていれば他方の容量値は等しくてもよいし、また前記画素容量の容量値とストレージキャパシタの容量値との両方を各分割電極ごとに異ならせてもよい。

【0023】また、画素電極の分割例としては、画素電極を行方向に沿う分割線を境にして列方向に2分割するか、あるいは画素電極を列方向に沿う分割線を境にして行方向に2分割することが考えられる。

【0024】上記のように画素電極を行方向に沿う分割線を境にして列方向に2分割する場合は、ゲートラインを2つの分割電極の間に配線し、データラインを両分割電極の一侧縁に沿わせて配線するとともに、各分割電極にそれぞれ接続される2つの薄膜トランジスタを、前記ゲートラインと前記データラインとの交差部に、前記ゲートラインをはさんでその両側に設ければよい。

【0025】また、画素電極を列方向に沿う分割線を境にして行方向に2分割する場合は、ゲートラインを両分割電極の一侧縁に沿わせて配線し、データラインを2つの分割電極の間に配線するとともに、各分割電極にそれぞれ接続される2つの薄膜トランジスタを、前記ゲートラインと前記データラインとの交差部に、前記データラインをはさんでその両側に設ければよい。

【0026】上記いずれの画素電極分割例においても、各分割電極に設けられるストレージキャパシタは、基板上に前記分割電極の一部に対向させて形成したキャパシタラインと、このキャパシタラインを覆う絶縁膜と、この絶縁膜の上に形成された前記分割電極とで形成することができ、さらに画素電極を行方向に沿う分割線を境にして列方向に2分割する場合は、前記キャパシタラインを、隣合う画素電極行の行間部に配線し、その一侧を一方の行の画素電極の1つの分割電極に対向させ、他側を他方の行の画素電極の1つの分割電極に対向させてもよい。

【0027】また、画素電極を行方向に2分割してゲートラインを両分割画素電極の一侧縁に沿わせて配線する場合は、各分割電極に設けられるストレージキャパシタを、隣の画素電極行に対応するゲートラインに形成したキャパシタ用電極と、このキャパシタ用電極を覆う絶縁膜と、この絶縁膜の上に形成された前記分割電極とで形成してもよい。

【0028】

【作用】すなわち、本発明のアクティブマトリックス液晶表示素子は、各画素電極をそれぞれ複数の電極に分割することにより、画素電極と対向電極およびその間の液晶とで構成される画素を複数の小画素に分割したものであり、この液晶表示素子は、各分割電極にそれぞれ対応させて設けた各薄膜トランジスタと同じゲート信号と同じデータ信号とを供給することにより、前記各分割電極と対向電極との間に前記データ信号に応じた電圧を同時に印加して表示駆動される。

【0029】そして、この液晶表示素子では、前記各分割電極ごとにストレージキャパシタを設けるとともに、前記分割電極と前記対向電極およびその間の液晶とで構成される画素容量の容量値と、前記分割電極のストレージ

ジキャパシタの容量値とのトータルの値を、各分割電極ごとに異ならせているため、各薄膜トランジスタに供給されるデータ信号が同じ信号であっても、各分割電極と対向電極との間には前記画素容量とストレージキャパシタとのトータルの容量値に応じた互いに異なる電圧が保持される。

【0030】このため、この液晶表示素子によれば、上記各分割電極に対応する各小画素のうち、ある小画素にはコントラストが高くなる電気光学的特性をもたせ、他の小画素には視野角が広がる電気光学的特性をもたせることができ、このようにすれば、各画素の表示がその各小画素の表示を平均化した表示になるため、良好なコントラストの表示が得られるとともに視野角も広がる。

【0031】

【実施例】以下、本発明の第1の実施例を図1～図5を参照して説明する。

【0032】この実施例のアクティブマトリックス液晶表示素子は、液晶層をはさんで対向する一対の透明基板のうち、一方の基板に、複数の画素電極とこれら各画素電極にデータ信号を供給する複数の薄膜トランジスタとを形成し、他方の基板に前記一方の基板の各画素電極と対向する対向電極を形成したものであり、概略的には図10に示したような構成となっている。なお、この実施例の液晶表示素子は、TN型のものである。

【0033】図1は上記液晶表示素子の一方の基板の1つの画素部の平面図である。なお、図1において、図1に示したものと対応するものについては、図に同符号を付して重複する説明を省略する。

【0034】この液晶表示素子は、図1に示すように、その一方の基板1上に形成する各画素電極をそれぞれ複数の電極3a、3bに分割し、その各分割電極（以下、分割画素電極という）3a、3bごとに、各々が同じゲートラインGLと同じデータラインDLにつながる薄膜トランジスタ10a、10bを設けて、これら薄膜トランジスタ10a、10bを各分割画素電極3a、3bにそれぞれ接続するとともに、前記各分割画素電極3a、3bごとにストレージキャパシタCs1、Cs2を設けたものである。

【0035】なお、この実施例では、画素電極を行方向に沿う分割線を境にして列方向に2分割（図1において左右に2分割）し、上記薄膜トランジスタ10a、10bにゲート信号を供給するゲートラインGLを2つの分割画素電極3a、3bの間に配線するとともに、薄膜トランジスタ10a、10bにデータ信号を供給するデータラインDLを両分割画素電極3a、3bの一側縁（図1において左側縁）に沿わせて配線して、各分割画素電極3a、3bにそれぞれ接続される2つの薄膜トランジスタ10a、10bを、ゲートラインGLとデータラインDLとの交差部に、ゲートラインDLをはさんでその

両側に設けている。

【0036】上記薄膜トランジスタ10a、10bは、いずれも逆スタガー型と呼ばれる構造のものであり、これら薄膜トランジスタ10a、10bは、図2に示すように、基板1上に形成されたゲート電極Gと、このゲート電極Gを覆うゲート絶縁膜11と、このゲート絶縁膜11の上に前記ゲート電極Gと対向させて形成されたa-Siからなるi型半導体膜12と、このi型半導体膜12の上に不純物をドーブしたa-Siからなるn型半導体膜13を介して形成されたソース電極Sおよびドレイン電極Dとで構成されている。

【0037】これら薄膜トランジスタ10a、10bは、その各構成膜をほぼ等しい面積および厚さに形成した、電気的特性がほぼ等しいものとされており、それぞれのゲート電極Gは、上記2つの分割画素電極3a、3b間に対応させて基板1上に配線したゲートラインGLに一体に形成されている。

【0038】また、上記薄膜トランジスタ10a、10bのゲート絶縁膜11は同じ絶縁膜（例えばSiN膜）とされており、このゲート絶縁膜11は、画素電極および薄膜トランジスタの配列領域にその全域にわたって形成され、上記分割画素電極3a、3bは前記ゲート絶縁膜11の上に形成されている。

【0039】さらに、上記ゲート絶縁膜11の上には、上記データラインDLが配線されており、2つの薄膜トランジスタ10a、10bのドレイン電極Dは、前記データラインDLに一体に形成されている。なお、このデータラインDLは、薄膜トランジスタ10a、10bを図示しない層間絶縁膜で覆ってその上に配線してもよく、その場合は、データラインDLを、前記層間絶縁膜に設けたコンタクト孔において薄膜トランジスタ10a、10bのドレイン電極Dに接続すればよい。

【0040】そして、上記2つの薄膜トランジスタ10a、10bのうち、一方の薄膜トランジスタ10aのソース電極Sは、この薄膜トランジスタ10aが対応する第1の分割画素電極3aに接続されており、他方の薄膜トランジスタ10bのソース電極Sは、この薄膜トランジスタ10bが対応する第2の分割画素電極3bに接続されている。

【0041】また、図1において、CLは上記ストレージキャパシタCs1、Cs2を形成するために設けられたキャパシタラインであり、このキャパシタラインCLは、各分割画素電極3a、3bごとにその外端縁（ゲートラインGLを配線した側とは反対側の縁部）に対向させて基板1上に配線され、上記ゲート絶縁膜11で覆われている。

【0042】そして、各分割画素電極3a、3bに設けられるストレージキャパシタCs1、Cs2はそれぞれ、図1および図3に示すように、上記キャパシタラインCLと、このキャパシタラインを覆うゲート絶縁膜11と、

このゲート絶縁膜 11 の上に形成された分割画素電極 3a, 3b とで形成されている。

【0043】なお、この実施例では、上記キャパシタライン CL を、隣合う画素電極行の行間部に配線し、このキャパシタライン CL の一側を一方の行の画素電極の第 1 の分割画素電極 3a に対向させ、他側を他方の行の画素電極の第 2 の分割画素電極 3b に対向させることにより、1 本のキャパシタライン CL を、隣合う一方の行の画素電極の 1 つの分割画素電極 3a に設けるストレージキャパシタ Cs1 と他方の行の画素電極の 1 つの分割画素電極 3b に設けるストレージキャパシタ Cs2 とに共用している。

【0044】図 4 は上記 1 つの画素部の等価回路図である。この図 4 において、CLC1 は第 1 の分割画素電極 3a と他方の基板の対向電極とその間の液晶とによって構成される第 1 の画素容量、CLC2 は第 2 の分割画素電極 3b と前記対向電極およびその間の液晶とによって構成される第 2 の画素容量であり、第 1 の分割画素電極 3a に設けたストレージキャパシタ Cs1 は、前記第 1 の画素容量 CLC1 に対して並列的に接続され、第 2 の分割画素電極 3b に設けたストレージキャパシタ Cs2 は、前記第 2 の画素容量 CLC2 に対して並列的に接続されている。

【0045】なお、図 4 において、Cgs1 は第 1 の分割画素電極 3a に接続した薄膜トランジスタ 10a のゲート・ソース間容量、Cgs2 は第 2 の分割画素電極 3b に接続した薄膜トランジスタ 10b のゲート・ソース間容量である。

【0046】そして、この液晶表示素子では、第 1 の分割画素電極 3a のストレージキャパシタ Cs1 の容量値と、第 2 の分割画素電極 3b のストレージキャパシタ Cs2 の容量値とを異ならせて、第 1 の分割画素電極 3a に対応する第 1 の画素容量 CLC1 の容量値とこの第 1 の分割画素電極 3a のストレージキャパシタ Cs1 の容量値とのトータルの値と、上記第 2 の分割画素電極 3b に対応する第 1 の画素容量 CLC2 の容量値とこの第 2 の分割画素電極 3b のストレージキャパシタ Cs2 の容量値とのトータルの値とを互いに異ならせている。

【0047】すなわち、この液晶表示素子では、画素電極を均等に 2 分割して第 1 の分割画素電極 3a と第 2 の分割画素電極 3b とをほぼ同じ面積に形成しており、したがって、各分割画素電極 3a, 3b に対応する画素容量 CLC1, CLC2 の容量値はほぼ等しいが、上記キャパシタライン CL は、図 1 および図 3 に示すように、第 1 の分割画素電極 3a との重なり幅 d1 が小さく、第 2 の分割画素電極 3b との重なり幅 d2 が大きいライン幅に形成されており、したがって、第 1 の分割画素電極 3a のストレージキャパシタ Cs1 の容量値は小さく、第 2 の分割画素電極 3b のストレージキャパシタ Cs2 の容量値は大きい。

【0048】なお、薄膜トランジスタ 10a, 10b

は、上述したように、その各構成膜をほぼ等しい面積および厚さに形成したものであるため、第 1 の分割画素電極 3a に接続した薄膜トランジスタ 10a のゲート・ソース間容量 Cgs1 の容量値と、第 2 の分割画素電極 3b に接続した薄膜トランジスタ 10b のゲート・ソース間容量 Cgs2 の容量値とはほぼ等しくなっている。

【0049】上記のように、この実施例のアクティブマトリックス液晶表示素子は、各画素電極をそれぞれ 2 つの電極 3a, 3b に分割することにより、画素電極と対向電極およびその間の液晶とで構成される画素を 2 つの小画素に分割したものであり、この液晶表示素子は、各分割画素電極 3a, 3b にそれぞれ対応させて設けた各薄膜トランジスタ 10a, 10b に同じゲートライン GL およびデータライン DL から同じゲート信号と同じデータ信号とを供給することにより、前記各分割画素電極 3a, 3b と対向電極との間に前記データ信号に応じた電圧を同時に印加して表示駆動される。

【0050】そして、この液晶表示素子では、上記のように、第 1 の分割画素電極 3a に対応する画素容量 CLC1 とこの第 1 の分割画素電極 3a のストレージキャパシタ Cs1 とのトータルの容量値は、第 2 の分割画素電極 3b に対応する画素容量 CLC2 とこの第 2 の分割画素電極 3b のストレージキャパシタ Cs2 とのトータルの容量値とを互いに異ならせているため、各薄膜トランジスタ 10a, 10b に供給されるデータ信号が同じ信号であっても、各分割画素電極 3a, 3b と対向電極との間には互いに異なる電圧が保持される。

【0051】すなわち、薄膜トランジスタを能動素子とするアクティブマトリックス液晶表示素子は、各行の画素の選択期間にその行の薄膜トランジスタにゲート信号を印加し、それに同期させて各列の薄膜トランジスタに画像データに応じたデータ信号を印加して表示駆動されており、選択期間にゲート信号の印加によって薄膜トランジスタが ON すると、この薄膜トランジスタを介して画素電極と対向電極との間に前記データ信号に応じた電圧が印加され、その電荷が画素容量とストレージキャパシタに蓄積される。

【0052】また、非選択期間になると、ゲート信号の電圧が低い電圧に変化して薄膜トランジスタが OFF し、上記画素容量とストレージキャパシタに蓄積された電荷に対応する電圧が画素の保持電圧となるが、この場合、ゲート信号の電圧が低い電圧に変化すると、そのゲート信号の電圧の低下分のうち、画素容量とストレージキャパシタとのトータルの容量と薄膜トランジスタのゲート・ソース間容量との容量比に応じて分割された電圧分が、選択期間に画素容量およびストレージキャパシタに蓄積された電圧から低下し、このときの電圧が非選択期間における画素の保持電圧となって、この保持電圧により液晶が動作する。

【0053】そして、上記液晶表示素子においては、第

1の分割画素電極3aに対応する画素容量CLC1とこの第1の分割画素電極3aのストレージキャパシタCs1とのトータルの容量値が小さく、第2の分割画素電極3bに対応する画素容量CLC2とこの第2の分割画素電極3bのストレージキャパシタCs2とのトータルの容量値が大きいため、第1の分割画素電極3aで構成される第1の小画素の非選択期間における保持電圧VLC1と、第2の分割画素電極3aで構成される第2の小画素の非選択期間における保持電圧VLC2とは、 $VLC1 < VLC2$ となる。

【0054】このため、上記液晶表示素子では、第1の分割画素電極3aで構成される第1の小画素の電気光学的特性と、第2の分割画素電極3aで構成される第2の小画素の電気光学的特性が異なっており、したがって、各薄膜トランジスタ10a、10bに供給されるデータ信号が同じ信号であっても、第1の小画素と第2の小画素での液晶分子の動作が異なる。

【0055】すなわち、同じデータ信号に対して、非選択期間における保持電圧VLC2が高い第2の小画素では液晶分子が大きな立上り角で立上り配向し、非選択期間における保持電圧VLC1が低い第2の小画素では液晶分子がある程度小さな立上り角で立上り配向する。

【0056】そして、液晶表示素子の表示のコントラストは、液晶分子の立上り角が大きく（垂直に近く）なるのにもなって高くなり、逆に視野角は、液晶分子の立上り角が大きくなるのにもなって狭くなるが、上記液晶表示素子によれば、上記各小画素のうち第1の小画素は視野角が広がる電圧（液晶分子が小さな立上り角で立上り配向する電圧）で駆動し、第2の小画素はコントラストが高くなる電圧（液晶分子が大きな立上り角で立上り配向する電圧）で駆動することができるため、各画素の表示が、その各小画素の表示を平均化した表示になる。

【0057】図5は上記液晶表示素子のコントラストー視野角特性を示しており、Aは第1の小画素の特性、Bは第2の小画素の特性、Cは前記2つの小画素で構成される画素の特性であり、この画素のコントラストー視野角特性は、第1と第2の小画素の特性を平均化した特性である。

【0058】したがって、上記液晶表示素子によれば、良好なコントラストの表示が得られるとともに、視野角も広くすることができる。

【0059】しかも、上記液晶表示素子は、各分割画素電極3a、3bに対応する薄膜トランジスタ10a、10bに、同じゲートラインGLおよびデータラインDLから同じゲート信号と同じデータ信号を供給して表示駆動できるため、駆動回路が複雑化することはない。

【0060】また、上記液晶表示素子は、印加電圧の制御により光の透過率を変化させて階調のある表示を行なわせることも可能である。

【0061】すなわち、液晶表示素子の階調表示は、液晶表示素子の電圧ー透過率特性を利用して行なわれるが、液晶表示素子の γ 特性（電圧の変化に対する透過率変化の急峻性）が急峻であると、僅かな電圧変化によっても透過率が大きく変化するため、所望の階調を得るための電圧制御が難しくなる。

【0062】しかし、上記実施例の液晶表示素子では、上述したように、第1の小画素の部分と第2の小画素の部分の見掛け上の γ 特性は、第2の小画素では急峻であるが第1の小画素では緩やかであり、したがって、この各小画素の γ 特性を合成した液晶表示素子の γ 特性は、比較的緩やかな特性であるから、所望の階調を得るための電圧制御が容易になる。

【0063】なお、上記実施例では、第1の分割画素電極3aのストレージキャパシタCs1の容量値と、第2の分割画素電極3bのストレージキャパシタCs2の容量値とを異ならせ、各分割画素電極3a、3bに対応する画素容量CLC1、CLC2の容量値はほぼ等しくしているが、これと逆に、各分割画素電極3a、3bに対応する画素容量CLC1、CLC2の容量値を異ならせ、各分割画素電極3a、3bのストレージキャパシタCs1、Cs2の容量値はほぼ等しくしてもよいし、さらに、画素容量CLC1、CLC2の容量値とストレージキャパシタCs1、Cs2の容量値との両方を各分割画素電極3a、3bごとに異ならせてもよい。

【0064】図6は本発明の第2の実施例を示す液晶表示素子の一方の基板の1つの画素部の平面図である。なお、図6において、図1に示したものと対応するものについては、図に同符号を付して重複する説明を省略する。

【0065】この実施例の液晶表示素子は、各分割画素電極3a、3bとキャパシタラインCLとの重なり幅d1、d2を異ならせて各分割画素電極3a、3bのストレージキャパシタCs1、Cs2の容量値を互いに異ならせるとともに、第1の分割画素電極3aと第2の分割画素電極3bとを異なる幅W1、W2に形成して、各分割画素電極3a、3bに対応する画素容量CLC1、CLC2の容量値も互いに異ならせたものであり、この実施例では、第1の分割画素電極3aの幅W1と第2の分割画素電極3bの幅W2とを $W1 > W2$ とし、各分割画素電極3a、3bとキャパシタラインCLとの重なり幅d1、d2を $d1 > d2$ として、第1の分割画素電極3aに対応する画素容量CLC1とストレージキャパシタCs1との両方の容量値を大きくし、第2の分割画素電極3bに対応する画素容量CLC2とストレージキャパシタCs2との両方の容量値を小さくしている。

【0066】なお、この実施例では、各分割画素電極3a、3bの幅W1、幅W2を $W1 > W2$ とし、各分割画素電極3a、3bとキャパシタラインCLとの重なり幅d1、d2を $d1 > d2$ としているが、これらの幅は、

$W1 > W2$, $d1 < d2$ または $W1 < W2$, $d1 > d2$ であってもよく、その場合でも、 $W1 - d1$ の値と、 $W2 - d2$ の値とを異ならせれば、第1の分割画素電極3aに対応する第1の画素容量CLC1の容量値とこの第1の分割画素電極3aのストレージキャパシタCs1の容量値とのトータルの値と、上記第2の分割画素電極3bに対応する第1の画素容量CLC2の容量値とこの第2の分割画素電極3bのストレージキャパシタCs2の容量値とのトータルの値とを互いに異ならせることができる。

【0067】また、上記第1の実施例では、画素電極を行方向に沿う分割線を境にして列方向に分割したが、この画素電極は、列方向に沿う分割線を境にして行方向に分割してもよい。

【0068】図7は本発明の第3の実施例を示す液晶表示素子の一方の基板の1つの画素部の平面図である。なお、図7において、図1に示したものと対応するものについては、図に同符号を付して重複する説明を省略する。

【0069】この実施例は、画素電極を列方向に沿う分割線を境にして行方向に2分割（図7において上下に2分割）したものであり、ゲートラインGLは両分割画素電極3a、3bの一侧縁（図において下側縁）に沿わせて配線され、データラインDLを2つの分割画素電極3a、3bの間に配線されるとともに、各分割画素電極3a、3bにそれぞれ接続される2つの薄膜トランジスタ10a、10bは、前記ゲートラインGLとデータラインDLとの交差部に、データラインDLをはさんでその両側に設けられている。

【0070】そして、この実施例では、各画素電極ごとにキャパシタラインCLを配線し、このキャパシタラインCLを各分割画素電極3a、3bのゲートライン配線側とは反対側の縁部に対向させて、分割画素電極3a、3bに設けるストレージキャパシタCs1、Cs2を形成するとともに、キャパシタラインCLの各分割画素電極3a、3bと対向する部分のライン幅を異ならせることによって各ストレージキャパシタCs1、Cs2の容量値を異ならせ、第1の分割画素電極3aに対応する第1の画素容量CLC1の容量値とこの第1の分割画素電極3aのストレージキャパシタCs1の容量値とのトータルの値と、上記第2の分割画素電極3bに対応する第1の画素容量CLC2の容量値とこの第2の分割画素電極3bのストレージキャパシタCs2の容量値とのトータルの値とを互いに異ならせている。

【0071】また、上記第1～第3の実施例では、各分割画素電極3a、3bのストレージキャパシタCs1、Cs2をキャパシタラインCLを設けて形成しているが、図7に示した第3の実施例のようにゲートラインGLを両分割画素電極3a、3bの一侧縁に沿わせて配線する場合は、前記ストレージキャパシタCs1、Cs2を、隣の画素電極行に対応するゲートラインGLを利用して形成し

てもよい。

【0072】図8は本発明の第4の実施例を示す液晶表示素子の一方の基板の1つの画素部の平面図である。この実施例は、図7に示した第3の実施例からキャパシタラインCLをなくし、各分割画素電極3a、3bに設けるストレージキャパシタCs1、Cs2を、隣の画素電極行に対応するゲートライン（隣の行の分割画素電極3a、3bに対応する薄膜トランジスタ10a、10bにつながっているゲートライン）GLを利用して形成したものであり、その他の構成は前記第3の実施例と同じである。なお、隣の画素電極行に対応するゲートラインを利用して形成されたストレージキャパシタは、一般に“補償容量”と呼ばれている。

【0073】この実施例において、各分割画素電極3a、3bに設けるストレージキャパシタCs1、Cs2は、上記隣の画素電極行に対応するゲートラインGLに前記各分割画素電極3a、3bにそれぞれ対応させて張出し形成されたキャパシタ用電極GLa、GLbと、このキャパシタ用電極GLa、GLbを覆うゲート絶縁膜11と、このゲート絶縁膜11の上に形成された前記分割画素電極3a、3bとで形成されている。

【0074】図9は上記第4の実施例における1つの画素部の等価回路図であり、各分割画素電極3a、3bのストレージキャパシタCs1、Cs2は隣の画素電極行に対応するゲートラインGLとの間に形成されており、第1の分割画素電極3aのストレージキャパシタCs1は、第1の分割画素電極3aに対応する第1の画素容量CLC1に対して並列的に接続され、第2の分割画素電極3bのストレージキャパシタCs2は、第2の分割画素電極3bに対応する第2の画素容量CLC2に対して並列的に接続されている。

【0075】そして、この実施例では、上記隣の画素電極行に対応するゲートラインGLに張出し形成したキャパシタ用電極GLa、GLbの張出し幅を異ならせることによって各ストレージキャパシタCs1、Cs2の容量値を異ならせ、第1の分割画素電極3aに対応する第1の画素容量CLC1の容量値とこの第1の分割画素電極3aのストレージキャパシタCs1の容量値とのトータルの値と、上記第2の分割画素電極3bに対応する第1の画素容量CLC2の容量値とこの第2の分割画素電極3bのストレージキャパシタCs2の容量値とのトータルの値とを互いに異ならせている。

【0076】なお、この実施例においても、第1の分割画素電極3aに接続した薄膜トランジスタ10aのゲート・ソース間容量Cgs1の容量値と、第2の分割画素電極3bに接続した薄膜トランジスタ10bのゲート・ソース間容量Cgs2の容量値とはほぼ等しくなっている。

【0077】そして、この実施例の液晶表示素子でも、第1の分割画素電極3aに対応する画素容量CLC1とこの第1の分割画素電極3aのストレージキャパシタCs1

とのトータルの容量値と、第2の分割画素電極3bに対応する画素容量CLC2とこの第2の分割画素電極3bのストレージキャパシタCs2とのトータルの容量値とを異ならせているため、各分割画素電極3a、3bで構成される各小画素の非選択期間における保持電圧が互いに異なる。

【0078】そのため、これら小画素が異なる電気光学的特性を示し、各薄膜トランジスタ10a、10bに供給されるデータ信号が同じ信号であっても、第1の小画素と第2の小画素での液晶分子の動作が異なるから、2つの小画素からなる画素の表示が、その各小画素の表示を平均化した表示になり、したがって、良好なコントラストの表示が得られるとともに、視野角も広くすることができる。

【0079】また、この実施例の液晶表示素子も、2つの小画素の部分の見掛け上の γ 特性が、一方の小画素では急峻で、他方の小画素では緩やかであるため、各小画素の γ 特性を合成した液晶表示素子の γ 特性は、比較的緩やかな特性であり、したがって、所望の階調を得るための電圧制御が容易である。

【0080】なお、上記第4の実施例および図7に示した第3の実施例では、各分割画素電極3a、3bをほぼ同じ面積に形成して、各分割画素電極3a、3bに対応する画素容量CLC1、CLC2の容量値はほぼ等しくしているが、これら実施例においても、各分割画素電極3a、3bに対応する画素容量CLC1、CLC2の容量値を異ならせ、各分割画素電極3a、3bのストレージキャパシタCs1、Cs2の容量値はほぼ等しくしてもよく、また、画素容量CLC1、CLC2の容量値とストレージキャパシタCs1、Cs2の容量値との両方を各分割画素電極3a、3bごとに異ならせてもよい。

【0081】さらに、上記第1～第4の実施例においては、第1の分割画素電極3aに接続した薄膜トランジスタ10aと、第2の分割画素電極3bに接続した薄膜トランジスタ10bとのゲート・ソース間容量Cgs1、Cgs2をほぼ等しくしたが、これら薄膜トランジスタ10a、10bのゲート・ソース間容量Cgs1、Cgs2は互いに異ならせてもよく、その場合は、非選択期間になったときのゲート信号の電圧の低下分の分割率、つまり画素容量とストレージキャパシタとのトータルの容量と薄膜トランジスタのゲート・ソース間容量との容量比に応じて分割される電圧分が、第1の分割画素電極3a側と第2の分割画素電極3b側とで異なるため、各薄膜トランジスタ10a、10bのゲート・ソース間容量Cgs1、Cgs2の差も、第1の小画素の非選択期間における保持電圧と、第2の小画素の非選択期間における保持電圧とを異ならせるのに利用することができる。

【0082】また、上記第1～第4の実施例では、各画素電極を2つの電極3a、3bに分割しているが、この画素電極は3つ以上の電極に分割してもよく、その場合

も、各分割電極ごとに各々が同じゲートラインと同じデータラインにつながる薄膜トランジスタを設けて、これら薄膜トランジスタを前記各分割電極にそれぞれ接続するとともに、ストレージキャパシタを各分割電極ごとに設け、前記分割電極に対応する画素容量の容量値と、前記分割電極のストレージキャパシタの容量値とのトータルの値を、各分割電極ごとに異ならせればよい。

【0083】さらに、本発明は、TN型の液晶表示素子に限らず、液晶分子を $180\sim 270^\circ$ のツイスト角でツイスト配向させたSTN型のアクティブマトリックス液晶表示素子にも適用することができる。

【0084】

【発明の効果】本発明のアクティブマトリックス液晶表示素子は、各画素電極をそれぞれ複数の電極に分割し、その各分割電極ごとに、各々が同じゲートラインと同じデータラインにつながる薄膜トランジスタを設けて、これら薄膜トランジスタを前記各分割電極にそれぞれ接続するとともに、ストレージキャパシタを各分割電極ごとに設け、前記分割電極と対向電極およびその間の液晶とで構成される画素容量の容量値と、前記分割電極のストレージキャパシタの容量値とのトータルの値を、各分割電極ごとに異ならせたものであるから、良好なコントラストの表示が得られるとともに、視野角も広くすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す液晶表示素子の一方の基板の1つの画素部の平面図。

【図2】図1のII-II線に沿う拡大断面図。

【図3】図1のIII-III線に沿う拡大断面図。

【図4】図1に示した画素部の等価回路図。

【図5】本発明の第1の実施例による液晶表示素子のコントラスト・視野角特性図。

【図6】本発明の第2の実施例を示す液晶表示素子の一方の基板の1つの画素部の平面図。

【図7】本発明の第3の実施例を示す液晶表示素子の一方の基板の1つの画素部の平面図。

【図8】本発明の第4の実施例を示す液晶表示素子の一方の基板の1つの画素部の平面図。

【図9】図8に示した画素部の等価回路図。

【図10】アクティブマトリックス液晶表示素子の断面図。

【図11】従来のアクティブマトリックス液晶表示素子の一方の基板の1つの画素部の平面図。

【図12】図11に示した画素部の等価回路図。

【符号の説明】

1…基板

3a、3b…分割画素電極

10a、10b…薄膜トランジスタ

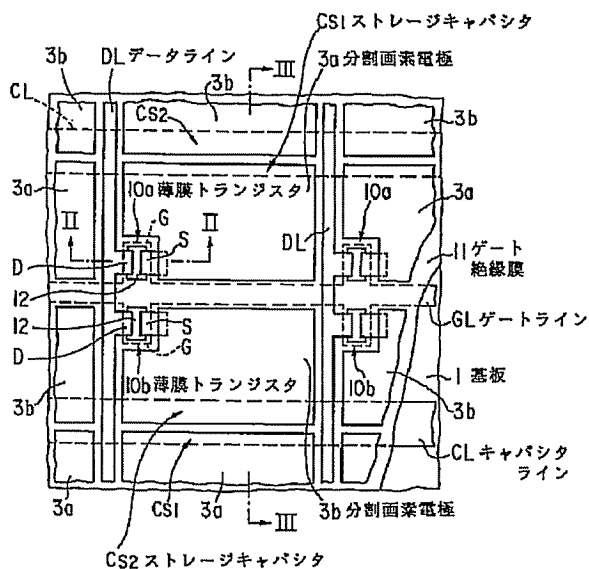
G…ゲート電極

D…ドレイン電極

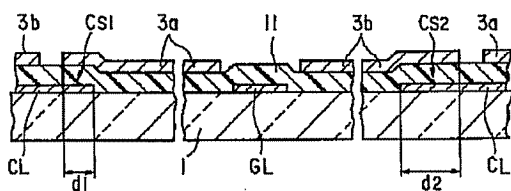
S…ソース電極
 GL…ゲートライン
 DL…データライン
 CL…キャパシタライン

GLa, GLb…キャパシタ用電極
 CLC1, CLC2…画素容量
 Cs1, Cs2…ストレージキャパシタ
 Cgs1, Cgs2…ゲート・ソース電極間容量

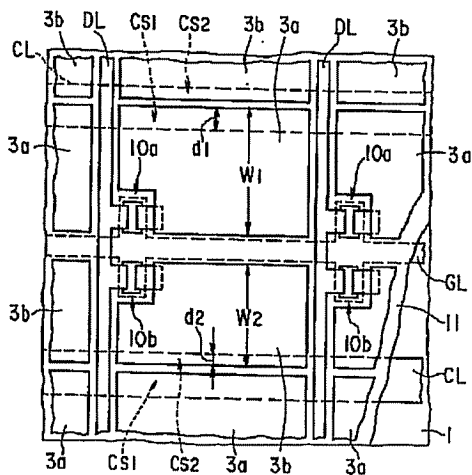
【図1】



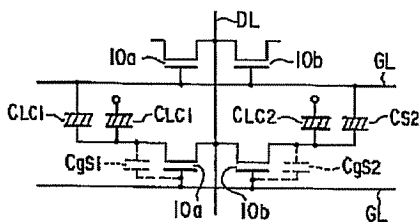
【図3】



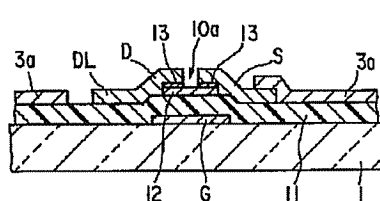
【図6】



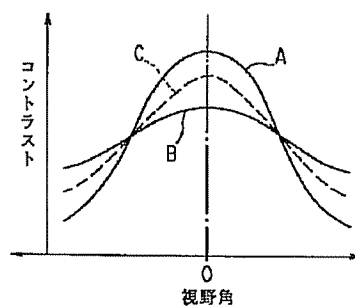
【図9】



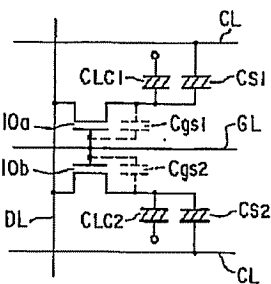
【図2】



【図5】



【図4】



【図12】

